

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SUNG-KWON LEE

Application No.:

Filed:

For: **METHOD FOR FABRICATING
SEMICONDUCTOR DEVICE USING ARF
PHOTOLITHOGRAPHY CAPABLE OF
PROTECTING TAPERED PROFILE OF
HARD MASK**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2002-85131	27 December 2002
Republic of Korea	2002-86489	30 December 2002

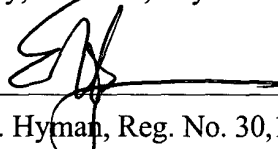
☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 8/7/03

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0085131
Application Number

출원년월일 : 2002년 12월 27일
Date of Application DEC 27, 2002

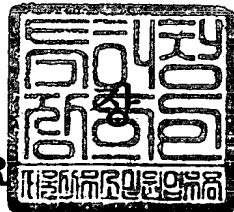
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0022
【제출일자】	2002.12.27
【발명의 명칭】	하드마스크의 경사 프로파일을 방지할 수 있는 ArF 노광 원을 이용한 반도체소자 제조 방법
【발명의 영문명칭】	Method for fabrication of semiconductor device using ArF photo-lithography capable of protecting tapered profile of hardmask
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	이성권
【성명의 영문표기】	LEE, Sung Kwon
【주민등록번호】	640301-1268621
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 현대7차아파트 706-1401
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 특허법인 신 성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	1 면 1,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	30,000 원

1020020085131

출력 일자: 2003/5/15

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 반도체소자의 전도층 패턴 형성시 사용되는 하드마스크의 경사 프로파일(제2하드마스크 상부의 침탐 또는 라운드 현상)을 방지하기에 적합한 반도체소자의 전도층 패턴 형성방법을 제공하기 위한 것으로 이를 위해 본 발명은, 기판 상에 전도층을 형성하는 단계; 상기 전도층 상에 제1하드마스크용 절연막과 제2하드마스크용 도전막을 차례로 형성하는 단계; 상기 제2하드마스크용 도전막 상에 소정의 패턴을 형성하기 위한 ArF 노광원을 이용한 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 식각마스크로 상기 제2하드마스크용 도전막을 식각하여 제2하드마스크를 형성하는 단계; 적어도 상기 제2하드마스크를 식각마스크로 상기 제1하드마스크용 절연막을 식각하여 제1하드마스크를 형성하는 단계; 제2하드마스크와 제1하드마스크가 적층된 전체 구조 상부에 유동성 절연막 또는 유기 계열의 폴리머막을 증착하는 단계; 세정 공정을 실시하여 상기 유동성 절연막 또는 유기 계열의 폴리머막과 상기 제2하드마스크를 제거하는 단계; 및 상기 제1하드마스크를 식각마스크로 상기 전도층을 식각하여 상기 소정의 패턴을 형성하는 단계를 포함하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법을 제공한다.

【대표도】

도 5d

【색인어】

2중 하드마스크, 질화막, 경사 프로파일, 침탐 현상, 유동성 절연막.

【명세서】

【발명의 명칭】

하드마스크의 경사 프로파일을 방지할 수 있는 ArF 노광원을 이용한 반도체소자 제조 방법{Method for fabrication of semiconductor device using ArF photo-lithography capable of protecting tapered profile of hardmask}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래기술에 따른 반도체소자의 전도층 패턴 형성 공정을 도시한 단면도.

도 2는 도 1c의 단면 SEM 사진.

도 3은 전도층이 식각되어 전도층 패턴이 형성된 단면을 도시한 SEM 사진.

도 4는 텅스텐막과 폴리실리콘막이 적층된 전도패턴의 침탐 형상을 도시한 TEM 사진.

도 5a 내지 도 5e는 본 발명의 일실시예에 따른 반도체소자의 전도층 패턴 형성 공정을 도시한 단면도.

도 6은 전도층 패턴이 형성된 반도체소자의 단면 SEM 사진.

* 도면의 주요 부분에 대한 부호의 설명

20 : 전도층 21' : 제1하드마스크

22" : 제2하드마스크 26 : 제1세정 공정

27 : 제2세정 공정 28 : 제3세정 공정

25 : 유동성 절연막 또는 유기 계열의 폴리머막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 반도체소자의 패턴 형성방법에 관한 것으로 특히, 불화아르곤 노광원을 이용한 반도체소자의 하드마스크의 상부가 평탄한 전도패턴 형성방법에 관한 것이다.

<13> 반도체 소자가 고집적화됨에 따라 패턴간의 거리가 작아지고 식각마스크 역할을 하는 포토레지스트의 증착 두께는 점점 낮아지고 있다. 이렇게 포토레지스트막의 두께가 낮아지면 높은 종횡비의 콘택홀이나 셀프 얼라인 콘택홀 형성 공정에서는 포토레지스트막이 산화막이나 임의의 막질을 식각하는데 마스크 역할을 완벽하게 수행할 수 없게 된다. 그러므로, 포토레지스트막이 마스크역할을 할 수 있게 산화막이나 임의의 막질과 포토레지스트막의 고선택비를 확보할 수 있는 하드마스크가 필요하다.

<14> 이러한 하드마스크로는 다양한 막질 예컨대, 질화막 또는 폴리실리콘막이 이용되고 있으며, 하드마스크 도입에 따라 상대적으로 포토레지스트막의 선택비 마진을 확보할 수 있을 뿐만아니라, 임계치수(Critical Dimension; 이하 CD라 함)의 손실(Loss)을 최소화함으로써 CD 바이어스(Bias)를 줄일 수 있게 되었다.

<15> 그러나, 질화막 계열의 하드마스크를 사용하는 경우 디자인 룰의 감소에 따라 그 두께가 감소하게 되었고, 이에 따라 콘택 형성 등의 공정에서 산화막 식각시 질화막에

대하여 고선택비를 확보하기 위하여 다량의 폴리머 유발 가스가 사용되는 바, 이러한 다량의 폴리머 유발 가스 사용에 따라 식각 공정의 재현성 문제와 경사(Slope)식각 단면에 기인한 콘택 면적 감소에 따른 콘택 저항 증가 등의 문제가 발생하게 되며, 폴리실리콘막을 하드마스크로 사용하는 경우 폴리머 유발 가스에 따른 문제점을 극복할 수 있다 할지라도 예컨대, 콘택홀 형성 공정 후 하드마스크로 사용된 폴리실리콘막을 제거할 때 반도체 기판을 구성하는 실리콘에 대한 선택비 확보가 어려워 제거하기가 어려우며, 특히 최근의 미세 패턴 형성시 주로 사용되는 ArF 노광원용 포토레지스트의 경우 접착(Adhesion) 문제 또한 발생하게 되고, 폴리실리콘 하드마스크 패터닝 자체도 어렵다.

<16> 한편, 비트라인 또는 워드라인의 경우는 그 자체의 수직 두께가 증가함에 따라 패터닝시 식각타겟이 증가하고 또한, 비트라인과 워드라인에 귀금속 등을 사용함에 따라 보다 식각내성이 강한 귀금속 하드마스크도 사용되고 있으며, 귀금속과 질화막을 포함하는 이중 구조의 하드마스크가 점차 사용되고 있다.

<17> 도 1a 내지 도 1c는 종래기술에 따른 반도체소자의 전도층 패턴 형성 공정을 도시한 단면도로서, 이를 참조하여 상세하게 설명한다.

<18> 먼저 도 1a에 도시된 바와 같이, 반도체 소자를 이루기 위한 여러 요소가 형성된 기판(도시하지 않음) 상에 파식각층인 전도층(10)을 증착한 다음, 제1하드마스크용 질화막(11)과 제2하드마스크용 텅스텐막(12)을 차례로 증착한다.

<19> 이어서, 포토리소그래피 공정에서의 노광에 따른 난반사를 방지하고 ArF용 포토레지스트의 하부와의 접착력 향상을 위해 반사방지막(13)을 도포한다.

- <20> 이어서, 소정의 패턴(여기서, 소정의 패턴은 게이트전극 패턴을 그 일례로 함)을 형성을 위한 포토레지스트 패턴(14)을 형성한다.
- <21> 여기서, 전도층(10)은 폴리실리콘막과 텅스텐막이 적층된 것을 그 일례로 하였으며, 반사방지막(13)은 유기 계열을 사용하였다.
- <22> 이어서, 포토레지스트 패턴(14)을 식각마스크로 반사방지막(13)과 제2하드마스크용 텅스텐막(12)을 차례로 식각하는 바, 도 1b는 제2하드마스크(12') 형성에 따라 포토레지스트 패턴(14')의 일부가 식각되고, 반사방지막(13')이 식각되어 패턴 영역이 정의된 공정 단면을 나타낸다.
- <23> 이어서, 포토레지스트 패턴(14')과 반사방지막(13') 및 제2하드마스크(12')를 식각마스크로 제1하드마스크용 질화막(11)을 식각하여 제2하드마스크(12'')와 제1하드마스크(11')가 적층된 구조를 갖는 도 1c의 공정 단면을 형성한다.
- <24> 한편, 도 1c에서 알 수 있듯이 제1하드마스크(11') 형성시 제2하드마스크(12'')의 상부가 뾰족한 침탑 형상을 갖는다.
- <25> 도 2는 도 1c의 단면 SEM 사진이며, 도 3은 전도층이 식각되어 전도층 패턴이 형성된 단면을 도시한 SEM 사진이다.
- <26> 도 2를 참조하면, 제2하드마스크(12'')가 침탑 형상을 갖는 것을 나타내고 있다. 또한, 도 3을 참조하면, 도 1c의 공정 후 이미 침탑 형상을 갖는 제2하드마스크(12'')를 식각마스크로 하부를 식각하므로, 제2하드마스크(12'')의 패턴 형상이 하부로 전사되어 제1하드마스크(11')가 침탑의 형상을 갖게됨을 알 수 있다.

<27> 도 4는 텅스텐막과 폴리실리콘막이 적층된 전도패턴의 침탑 형상을 도시한 TEM 사진이다.

<28> 도 4를 참조하면, 폴리실리콘막(10b)과 텅스텐막(10a)이 적층되어 전도층(10')을 이루고 있으며, 그 상부에 제1하드마스크(11")가 형성되어 있으나, 전술한 바와 같이 제2하드마스크의 침탑 형상이 하부로 전사되어 제1하드마스크(11")가 이러한 침탑 형상을 갖게 된다.

<29> 한편, 전술한 하드마스크의 침탑 형상은 다음과 같은 문제점 발생시킨다.

<30> 1). 셀영역과 주변회로영역 간에 잔류하는 질화막 계열의 제1하드마스크의 두께에서의 차이가 발생한다. 이는 전도층 패턴의 라인(Line)의 사이즈에 따라 잔류하는 제1하드마스크의 두께 차이가 발생한다는 것을 의미하는 것으로, 예컨대, 전도층 패턴의 라인 사이즈가 증가할 수록 잔류하는 제1하드마스크의 두께가 증가한다. 100nm 반도체소자 기술에서 셀영역과 주변회로영역 간에는 $400\text{\AA} \sim 500\text{\AA}$ 의 차이가 발생한다.

<31> 2). 전도층 패턴 사이에 플러그를 형성하는 공정에서 플러그 물질을 증착한 후 평탄화하여 격리시키는 공정(Isolation)에서 제1하드마스크의 두께 조절이 어렵다. 이는 침탑 부분에서는 CMP 공정 단계에서의 연마율이 급속히 증가하기 때문이며, 이로 인해 SAC 결함과 같은 소자 불량률이 초래된다.

<32> 3). 70nm 이하의 반도체소자 기술에서는 이중 하드마스크를 사용할 경우에 이러한 침탑 현상이 더욱 심화될 것이다.

<33> 따라서, 제2하드마스크 상부의 침탑 또는 라운드(Round) 현상에 의한 소자 불량을 방지할 수 있는 공정 개발이 필요하다.

【발명이 이루고자 하는 기술적 과제】

<34> 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 본 발명은, 반도체소자의 전도층 패턴 형성시 사용되는 하드마스크의 경사 프로파일(제2하드마스크 상부의 침탑 또는 라운드 현상)을 방지하기에 적합한 반도체소자의 전도층 패턴 형성방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<35> 상기와 같은 문제점을 해결하기 위해 본 발명은, 기판 상에 전도층을 형성하는 단계; 상기 전도층 상에 제1하드마스크용 절연막과 제2하드마스크용 도전막을 차례로 형성하는 단계; 상기 제2하드마스크용 도전막 상에 소정의 패턴을 형성하기 위한 ArF 노광원을 이용한 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 식각마스크로 상기 제2하드마스크용 도전막을 식각하여 제2하드마스크를 형성하는 단계; 적어도 상기 제2하드마스크를 식각마스크로 상기 제1하드마스크용 절연막을 식각하여 제1하드마스크를 형성하는 단계; 제2하드마스크와 제1하드마스크가 적층된 전체 구조 상부에 유동성 절연막 또는 유기 계열의 폴리머막을 증착하는 단계; 세정 공정을 실시하여 상기 유동성 절연막 또는 유기 계열의 폴리머막과 상기 제2하드마스크를 제거하는 단계; 및 상기 제1

하드마스크를 식각마스크로 상기 전도층을 식각하여 상기 소정의 패턴을 형성하는 단계를 포함하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법을 제공한다.

<36> 본 발명은, 전도층 패턴 형성시 2중의 하드마스크 구조를 이용하여 전도층 패턴의 형성시 질화막 상부에서의 침탐 현상을 방지하고자 한다.

<37> 이를 위해, 상부의 제2하드마스크를 이용하여 하부의 제1하드마스크용 절연막을 식각하여 2중의 하드마스크를 형성한 다음, 전도층에 대한 어택이 없도록 제2하드마스크를 제거한다. 이 때, 유동성 절연막을 전면에 증착하고, 1차 세정 공정을 통해 유동성 절연막의 일부를 제거하고(제1하드마스크 두께의 1/2 정도의 깊이까지), 2차 세정 공정을 통해 제2하드마스크 전부를 제거한 다음, 3차 세정 공정을 통해 유동성 절연막을 제거함으로써, 제2하드마스크의 침탐 형상의 전사에 따른 제1하드마스크의 침탐 현상을 방지한다.

<38> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.

<39> 도 5a 내지 도 5e는 본 발명의 일실시예에 따른 반도체소자의 전도층 패턴 형성 공정을 도시한 단면도로서, 이를 참조하여 상세하게 설명한다.

- <40> 먼저, 도 5a에 도시된 바와 같이, 반도체 소자를 이루기 위한 여러 요소가 형성된 기판(도시하지 않음) 상에 피식각층인 전도층(20)을 증착한 다음, 제1하드마스크용 절연막(21)과 제2하드마스크용 도전막(22)을 차례로 증착한다.
- <41> 여기서, 제1하드마스크용 절연막(21)으로 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열의 물질막을 사용하고, 제2하드마스크용 도전막(22)은 텅스텐 또는 텅스텐 질화막 등을 사용한다.
- <42> 이어서, 포토리소그래피 공정에서의 노광에 따른 난반사를 방지하고 ArF용 포토레지스트의 하부와의 접착력 향상을 위해 반사방지막(23)을 도포한다.
- <43> 이어서, 소정의 패턴(여기서, 소정의 패턴은 게이트전극 패턴을 그 일례로 함)을 형성을 위한 포토레지스트 패턴(24)을 형성한다.
- <44> 여기서, 전도층(20)은 텅스텐막, 티타늄막, 텅스텐 실리사이드막 및 티타늄 나이트라이드막을 포함하는 그룹으로부터 선택된 적어도 하나의 물질막을 이용한다.
- <45> 반사방지막(23)은 유기 계열을 사용하였다. 또한, 포토레지스트 패턴(24)은 COMA(CycloOlefin-Maleic Anhydride) 또는 아크릴레이드(Acrylate) 계통의 폴리머 형태, 또는 이들의 혼합 형태를 갖는 ArF용 포토레지스트를 사용한 것이다.
- <46> 이어서, 포토레지스트 패턴(24)을 식각마스크로 반사방지막(23)과 제2하드마스크용 도전막(22)을 차례로 식각하는 바, 도 5b는 제2하드마스크(22') 형성에 따라 포토레지스트 패턴(24')의 일부가 식각되고, 반사방지막(23')이 식각되어 패턴 영역이 정의된 공정 단면을 나타낸다.

- <47> 이어서, 포토레지스트 패턴(24')과 반사방지막(23') 및 제2하드마스크(22')를 식각 마스크로 제1하드마스크용 절연막(21)을 식각하여 제2하드마스크(22")와 제1하드마스크(21')가 적층된 구조를 갖는 도 5c의 공정 단면을 형성한다.
- <48> 한편, 도 5c에서 알 수 있듯이 제1하드마스크(51') 형성시 제2하드마스크(22")의 상부가 뾰족한 침탑 형상을 갖는다.
- <49> 이 때, 포토레지스트 패턴(24')과 반사방지막(23')은 자연스럽게 제거된다.
- <50> 본 실시예에서는 전술한 제2하드마스크(22")의 패턴이 하부로 전사되었을 경우 제1하드마스크의 형상 또한 침탑 형상을 가질 수 있으므로, 침탑 형상을 갖는 잔류하는 제2하드마스크(22")를 제거한다.
- <51> 도 5d와 도 5e는 이러한 제2하드마스크(22")를 제거하는 공정 과정을 나타내는 바, 상세히 살펴 본다.
- <52> 먼저, 도 5d에 도시된 바와 같이, 상부가 뾰족한 형상을 갖는 제2하드마스크(22")과 제1하드마스크(21')가 적층된 전체 구조 상부에 유동성 절연막 또는 유기 계열의 폴리머막(25)을 증착한다.
- <53> 여기서, 유동성 절연막 또는 유기 계열의 폴리머막(25)은 SOG(Spin On Glass)막 또는 APL(Advanced Planarization Layer)막을 포함하는 것으로, 자체의 유동성(Flow-fill) 때문에 갭-필(Gap-fill) 특성과 평탄화 특성이 우수하다.
- <54> 이어서, 도 5e에 도시된 바와 같이 3단계의 습식 세정 공정을 통해 유동성 절연막 유기 계열의 폴리머막(25)과 침탑 형상의 제2하드마스크(22")를 제거한다.

- <55> 한편, 유동성 절연막(25)이 산화막 계열의 물질막이므로 습식 용액으로는 불산계 용액을 사용하며, 유기 계열의 폴리머막(25)인 경우는 O_2 플라즈마를 이용한 건식 식각을 이용하며, 제2하드마스크(22")는 텅스텐 계열의 물질막이므로 SC-1을 사용한다.
- <56> 먼저, 도면부호 '26'과 같이 불산계 용액을 사용한 습식 세정 공정을 통해 유동성 절연막(25)의 일부를 제거한다. 이 때, 제1하드마스크(21') 높이의 1/2 정도 이내로 제거하는 것이 바람직하다.
- <57> 이어서, 도면부호 '27'과 같이 SC-1($NH_4OH:H_2O_2:H_2O=1:4:20$)을 사용한 습식 세정 공정을 실시하여 침탑 형상의 제2하드마스크(22")를 제거한다.
- <58> 계속해서, 도면부호 '28'과 같이 불산계 용액을 사용한 습식 세정 공정을 실시하여 잔류하는 유동성 절연막(28)을 제거한다.
- <59> 한편, 도면에 도시되지는 않았지만, 제1하드마스크(21')를 식각마스크로 전도층(20)을 식각하여 전도층 패턴을 형성한다.
- <60> 도 6은 전도층 패턴이 형성된 반도체소자의 단면 SEM 사진이다.
- <61> 도 6을 참조하면, 유동성 절연막(25)의 증착과 3단계의 습식 세정 공정에 의해 제2하드마스크(22")를 제거함에 따라 제1하드마스크(21')의 상부가 평탄화되었으며, 하부 전도층(20)에 대한 어택이 거의 발생하지 않았음을 확인할 수 있다. 도면부호 'SUB'는 기판을 나타내며, 도면부호 '20'은 전도층 패턴을 나타낸다.
- <62> 전술한 바와 같이 이루어지는 본 발명은, 전도층 패턴 형성시 2종의 하드마스크를 사용하며, 이 때, 침탑 형상을 갖는 제2하드마스크를 유동성 절연막의 증착과 3단계의

세정 공정을 통해 제거하여 제2하드마스크의 형상이 하부로 전사되는 것을 방지할 수 있어, 전도층 패턴의 하드마스크에서의 침탐 현상을 방지할 수 있음을 실시예를 통해 알아 보았다.

<63> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

<64> 예컨대, 본 발명에서는 전도층 패턴으로 게이트전극 패턴을 그 일례로 하였으나, 이외에도 비트라인 패턴이나 금속배선 등에도 응용 가능하다.

【발명의 효과】

<65> 전술한 본 발명은, 하드마스크의 경사 프로파일을 방지할 수 있어, 궁극적으로 반도체 소자의 수율을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

【특허청구범위】**【청구항 1】**

기판 상에 전도층을 형성하는 단계;

상기 전도층 상에 제1하드마스크용 절연막과 제2하드마스크용 도전막을 차례로 형성하는 단계;

상기 제2하드마스크용 도전막 상에 소정의 패턴을 형성하기 위한 ArF 노광원을 이용한 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각마스크로 상기 제2하드마스크용 도전막을 식각하여 제2하드마스크를 형성하는 단계;

적어도 상기 제2하드마스크를 식각마스크로 상기 제1하드마스크용 절연막을 식각하여 제1하드마스크를 형성하는 단계;

제 2하드마스크와 제1하드마스크가 적층된 전체 구조 상부에 유동성 절연막 또는 유기 계열의 폴리머막을 증착하는 단계;

세정 공정을 실시하여 상기 유동성 절연막 또는 유기 계열의 폴리머막과 상기 제2하드마스크를 제거하는 단계; 및

상기 제1하드마스크를 식각마스크로 상기 전도층을 식각하여 상기 소정의 패턴을 형성하는 단계

를 포함하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 제1하드마스크용 절연막은 질화막 계열의 물질이며, 상기 제2하드마스크용 도전막은 텅스텐 또는 텅스텐질화막인 것을 특징으로 하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

【청구항 3】

제 2 항에 있어서,

상기 유동성 절연막은, SOG막 또는 APL막인 것을 특징으로 하는 ArF 노광원을 이용한 반도체소자 제조 방법.

【청구항 4】

제 3 항에 있어서,

상기 유동성 절연막과 상기 제2하드마스크를 제거하는 단계는,

불산계 용액을 이용한 제1습식 세정을 실시하여 유동성 절연막의 일부를 제거하는 단계;

SC-1 용액을 이용한 제2습식 세정을 통해 상기 제2하드마스크를 제거하는 단계;
및

불산계 용액을 이용한 제3습식 세정을 통해 잔류하는 상기 유동성 절연막을 제거하는 단계

를 포함하는 것을 특징으로 하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

【청구항 5】

제 1 항에 있어서,

상기 소정의 패턴은, 게이트전극, 비트라인 또는 금속배선 중 어느 하나인 것을 특징으로 하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

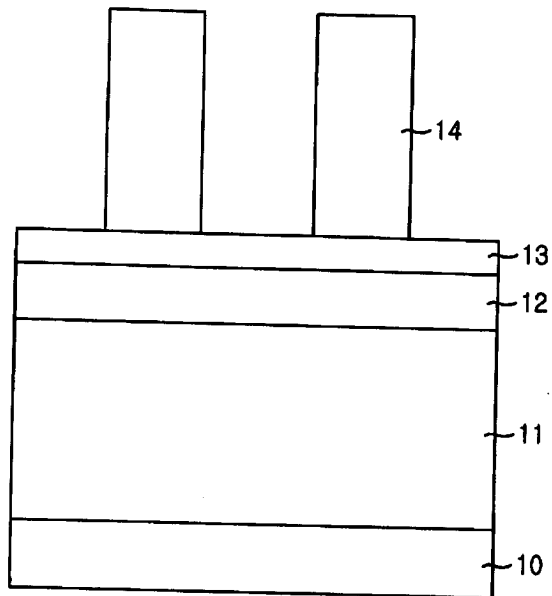
【청구항 6】

제 1 항에 있어서,

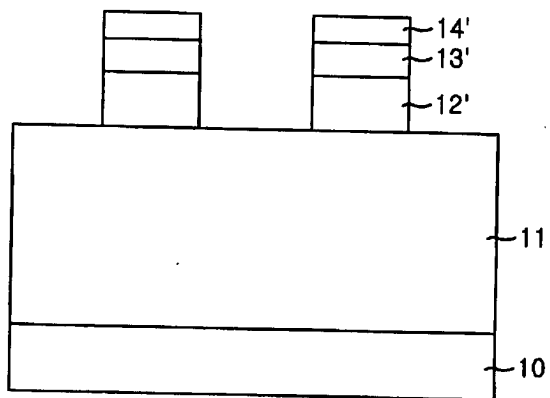
상기 제2하드마스크용 도전막을 형성하는 단계 후, 반사방지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

【도면】

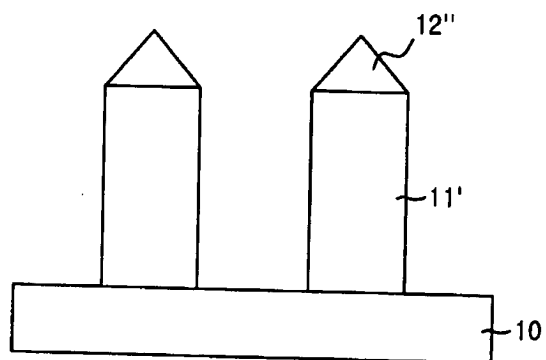
【도 1a】



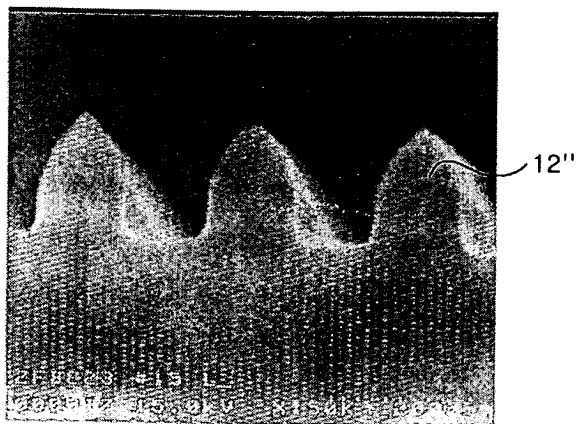
【도 1b】



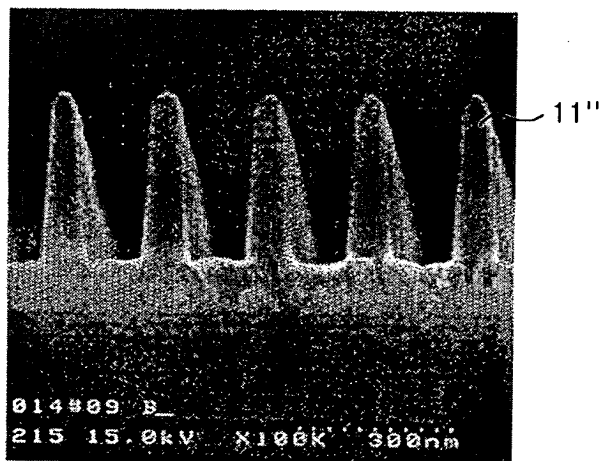
【도 1c】



【도 2】



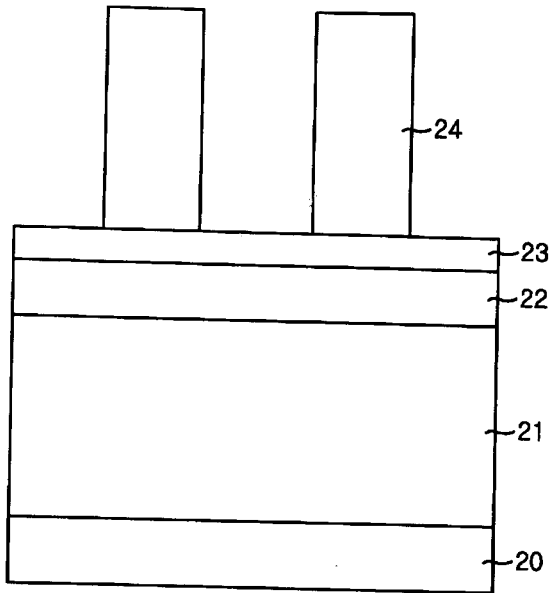
【도 3】



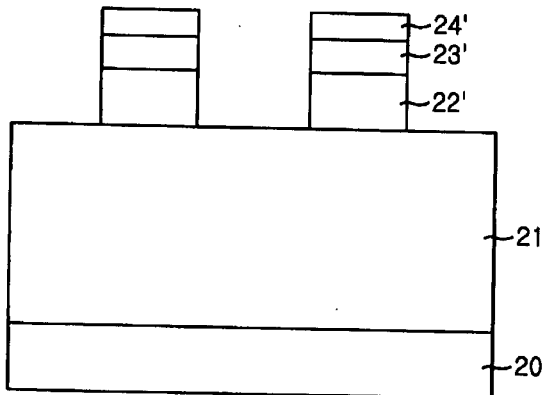
【도 4】



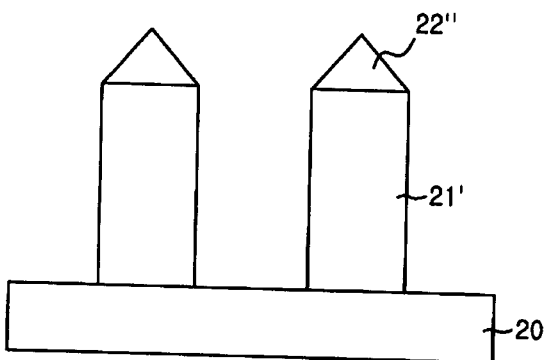
【도 5a】



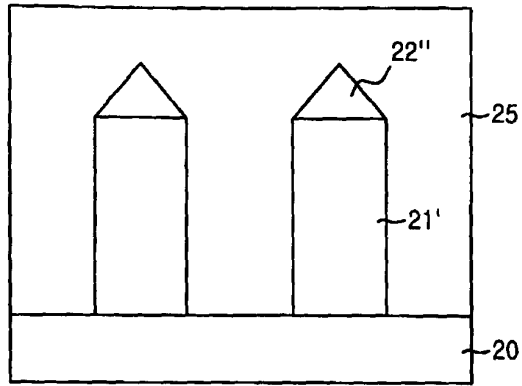
【도 5b】



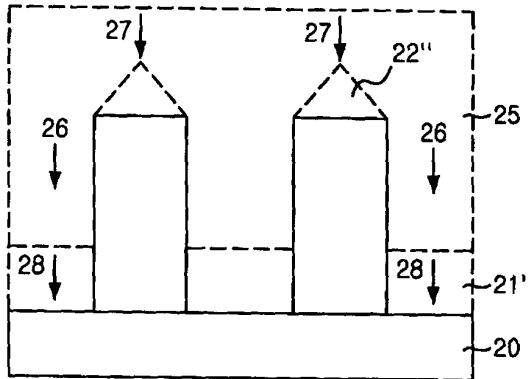
【도 5c】



【도 5d】



【도 5e】



【도 6】

